

09/696,972

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1999年10月28日

出 願 番 号

Application Number:

平成11年特許願第306798号

出 願 人

Applicant(s):

株式会社東芝

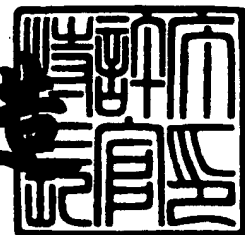
CERTIFIED COPY OF
PRIORITY DOCUMENT

RECEIVED
JAN 22 2001 JAN 22 2001
TC 2800 MAIL ROOM

2000年 9月18日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



【書類名】 特許願

【整理番号】 13A9981591

【提出日】 平成11年10月28日

【あて先】 特許庁長官殿

【国際特許分類】 H03F 1/00

【発明の名称】 F E Tを用いた可変利得回路

【請求項の数】 12

【発明者】

 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝
研究開発センター内

 【氏名】 大高 章二

【発明者】

 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝
研究開発センター内

 【氏名】 渡辺 理

【特許出願人】

 【識別番号】 000003078

 【氏名又は名称】 株式会社 東芝

【代理人】

 【識別番号】 100081732

 【弁理士】

 【氏名又は名称】 大胡 典夫

【選任した代理人】

 【識別番号】 100075683

 【弁理士】

 【氏名又は名称】 竹花 喜久男

【手数料の表示】

 【予納台帳番号】 009427

 【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9714950

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 F E T を用いた可変利得回路

【特許請求の範囲】

【請求項 1】 利得制御信号 V C に対して利得が指数関数で変化する F E T を用いた可変利得回路において、少なくとも 1 つ以上の可変利得段 1 および少なくとも 1 つ以上の可変利得段 2 を有し、可変利得段 1 は利得制御信号変換回路 1 の出力電圧となる利得制御信号 V z 1 により利得補正がなされ、可変利得段 2 は利得制御信号変換回路 2 の出力電圧となる利得制御信号 V z 2 により利得補正がなされることを特徴とする可変利得回路。

【請求項 2】 請求項 1 記載の可変利得回路において、前記利得制御信号 V C は利得制御信号変換回路 3 により利得制御信号 V x に変換され、利得制御信号 V x が前記利得制御信号変換回路 1 および利得制御信号変換回路 2 に入力されることを特徴とした可変利得回路。

【請求項 3】 請求項 1 または請求項 2 記載の可変利得回路において、利得制御信号変換回路 2 と可変利得段 2 は、利得制御信号変換回路 1 と可変利得段 1 に用いられる F E T が 2 乗特性を有する領域で動作するために生じる利得偏差を補正することを特徴とし、利得制御信号変換回路 3 は、利得制御信号変換回路 1 と可変利得段 1 に用いられる F E T が指数特性を有する弱反転領域で動作するために生じる利得偏差を補正することを特徴とする可変利得回路。

【請求項 4】 請求項 1、請求項 2、請求項 3 のいずれかに記載の可変利得回路において、可変利得段 1 は第 1 0 の F E T と第 1 1 の F E T のゲート間に利得制御信号 V z 1 が入力され、第 1 0 の F E T と第 1 1 の F E T のソース端子は共通接続され、所望信号を含む第 1 の電流源を介して接地されることを特徴とし、可変利得段 2 は第 2 0 の F E T と第 2 1 の F E T のゲート間に利得制御信号 V z 2 が入力され、第 2 0 の F E T と第 2 1 の F E T のソース端子は共通接続され、所望信号を含む第 2 の電流源を介して接地されることを特徴とする可変利得回路。

。

【請求項 5】 請求項 1、請求項 2、請求項 3、請求項 4 のいずれかに記載の可変利得回路において、利得制御信号変換回路 1 は、第 1 の F E T のドレイン端

子はゲート端子と接続されるとともに利得制御信号 $ID1$ が入力され、第 1 の FET のソース端子は第 2 の FET のソース端子と共通接続されるとともに電流 I_o を有する電流源を介して接地され、第 2 の FET のゲート端子は所定の電圧源 V_{BB1} に接続され、第 1 および第 2 の FET のゲート端子間電圧が利得制御信号 V_{z1} とされるとともに、利得制御信号 $ID1$ は $I_o \exp(-bV_x)$ (I_o は所定の電流、 b は定数) で表されることを特徴とする可変利得回路。

【請求項 6】 請求項 1、請求項 2、請求項 3、請求項 4、請求項 5 のいずれかに記載の可変利得回路において、可変利得段 1 と利得制御信号変換回路 1 による利得 $GMOS$ は可変利得段 1 の段数を n とすると、

【数 1】

$$\left[\frac{I_o \exp(-bV_x)}{I_o + 2\sqrt{ID1(I_o - ID1)}} \right]^{(n/2)}$$

に比例し、可変利得段 2 と利得制御信号変換回路 2 による利得 $GCMP$ は近似的に

【数 2】

$$\left[\frac{I_o + 2\sqrt{ID1(I_o - ID1)}}{I_o} \right]^{(n/2)}$$

に比例するように設定されることを特徴とする可変利得回路。

【請求項 7】 請求項 1、請求項 2、請求項 3、請求項 4、請求項 5、請求項 6 のいずれかに記載の可変利得回路において、利得制御信号変換回路 2 は、請求項 5 記載の利得制御信号変換回路 1、2 乗回路および利得制御信号変換回路 10 とからなることを特徴とする可変利得回路。

【請求項 8】 請求項 7 記載の可変利得回路において、2 乗回路は、利得補正信号 V_{z1} を入力とし、出力電流 I_{z1} は $qI_o - mV_{z1}^2$ (q , m は正の

数、 I_o は所定の電流)とされることを特徴とし、利得制御信号変換回路10は、第3のFETのドレイン端子はゲート端子と接続されるとともに第1の直流バイアス電流 I_{BB} と前記2乗回路の出力電流 I_{z1} が入力され、第3のFETのソース端子は第4のFETのソース端子と共通接続されるとともに電流 I_o を有する電流源を介して接地され、第4のFETのゲート端子は所定の電圧源 V_{BB2} に接続され、第3および第4のFETのゲート端子間電圧が利得制御信号 V_{z2} とされることを特徴とする可変利得回路。

【請求項9】 請求項1、請求項2、請求項3、請求項4、請求項5、請求項6のいずれかに記載の可変利得回路において、利得制御信号変換回路2は、2乗回路と制御信号補正回路10からなり、2乗回路の入力信号は前記利得制御信号変換回路1から出力される利得制御信号 V_{z1} とすることを特徴とする可変利得回路。

【請求項10】 請求項9記載の可変利得回路において、2乗回路は、利得制御信号 V_{z1} を入力とし、出力電流 I_{z1} は $qI_o - mV_{z1}^2$ (q, m は正の数、 I_o は所定の電流)とされることを特徴とし、制御信号補正回路10は、第3のFETのドレイン端子はゲート端子と接続されるとともに第1の直流バイアス電流 I_{BB} と前記2乗回路の出力電流 I_{z1} が入力され、第3のFETのソース端子は第4のFETのソース端子と共通接続されるとともに電流 I_o を有する電流源を介して接地され、第4のFETのゲート端子は所定の電圧源 V_{BB2} に接続され、第3および第4のFETのゲート端子間電圧が利得制御信号 V_{z2} とされることを特徴とする可変利得回路。

【請求項11】 請求項7、請求項8、請求項9、請求項10のいずれかに記載の可変利得回路において、2乗回路は、第30のFETと第31のFETの寸法比が1:Kとされ、テール電流が I_o とされる差動回路と第32のFETと第33のFETの寸法比がK:1とされ、テール電流が I_o とされる差動回路から構成され、第30のゲート端子と第32のゲート端子が共通接続され、第31のゲート端子と第33のゲート端子が共通接続され、第30のゲート端子と第31のゲート端子間に第2の内部利得補正信号 V_{z1} が入力され、第30のドレイン端子と第33のドレイン端子が共通接続されるとともに負の電流出力端子とされ

、第31のドレイン端子と第32のドレイン端子が共通接続されるとともに正の電流出力端子とされることを特徴とする可変利得回路。

【請求項12】 請求項1、請求項2のいずれかに記載の可変利得回路において、利得制御信号 V_x は利得制御信号 V_C および所定の電圧 V_{C1} を用いて、 $V_x = a V_C + b \min(V_C, V_{C1})$ ($\min(V_C, V_{C1})$ は V_C と V_{C1} の小さい方の値をとる)

となる関係をもつことを特徴とする可変利得回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、携帯無線機等に用いる指数関数的に利得を可変する可変利得回路に関する。

【0002】

【従来の技術】

近年、携帯電話器に代表される移動通信機器の開発が盛んに行われている。これらの通信機器は、例えば人間が所持したり、自動車などに搭載されて使用されるため、小型化、軽量化が要求される。このため、このような無線機器を構成する部品は、従来の構成部品単体を多数接続したハイブリッドの構成よりも、小型化、軽量化に向くモノリシックIC（集積回路）化が強く望まれるようになってきた。一方、部品の小型化の他に無線機の低価格化が要求されるが、IC化技術は無線機の低価格化にもつながる技術である。

【0003】

このような無線機器において、ヘテロダイン方式を用いた送受信部の構成を図13に示す。図を参照して、以下に送信部の信号の流れを述べる。ここでは送受の切り替えを時分割で行うTDD（Time Division Duplex）方式を例として説明するが、これに拘るものではない。

【0004】

ベースバンド信号発生部で発生された直交した2つのベースバンド信号 I_{ch} （TX）、 Q_{ch} （TX）は、適当な帯域制限フィルタを介した後、それぞれT

X-BB部から出力される。 $I_{ch}(TX)$ および $Q_{ch}(TX)$ は乗算器と加算器からなる直交変調器に入力され、第2の局部発振信号（周波数を f_{LO2} とする）を変調する。このとき、第2の局部発振信号は90度移相器（90-PS）により直交した2つの信号に分割され、直交変調器に入力される。この被変調信号（IF信号）は利得可変回路（GCA）に入力され、制御系からの制御信号により適当な信号レベルに調整される。

【0005】

このIF信号は一般に直交変調器およびGCAで発生する不要な高調波を含むため、ローパスフィルタ（LPF）またはバンドパスフィルタ（BPF）特性をもつFIL1を介して、IF信号はアップコンバータ（UPCON）に入力される。UPCONは周波数 f_{LO1} [Hz] の第1の局部発振信号とIF信号の乗算を行い、周波数 $f_{LO1} + f_{LO2}$ [Hz] または $f_{LO1} - f_{LO2}$ [Hz] の被変調信号（RF信号）を生成する。このどちらか一方が所望波とされ、一方は不要なイメージ信号である。

【0006】

以下の説明において周波数 $f_{LO1} + f_{LO2}$ [Hz] のRF信号を所望波とするが、特にこれに拘るものではない。イメージ信号はイメージ除去用BPFであるFIL2により除去される。所望波は電力増幅器（PA）を介して、所要の電力レベルまで増幅され、送受切り替えスイッチ（T/R）を介してアンテナ（ANT）から放射される。

【0007】

以下に受信部の信号の流れを述べる。受信RF信号はアンテナ、送受切り替えスイッチ、BPF（FIL3）を介して、低雑音増幅器（LNA）に入力される。LNAで増幅された受信RF信号はイメージ除去BPF（FIL4）を介して、ダウンコンバータ（DOWNCON）に入力される。DOWNCONは第1の局部発振信号と受信信号の乗算を行い、受信信号をIF信号に周波数変換する。IF信号はBPF（FIL5）を介したのち、利得可変回路（GCA）により適当な信号レベルに調節され、分波器および乗算器からなる直交復調器に入力される。ここで制御系からの制御信号にしたがって、GCAは適当な信号レベルに変

換するものである。この直交復調器には送信部と同様に直交した周波数 f_{LO2} [Hz] の局部発振信号が入力される。直交復調器の出力 $I_{ch}(RX)$ および $Q_{ch}(RX)$ はベースバンド処理部 ($RX-BB$) に入力され、受信した信号を復調する。

【0008】

近年開発が盛んになってきたCDMA無線機は、送信電力制御が必須であるため、場合によっては上記IF段可変利得回路は70dB以上の信号レベル制御を行うことが求められるようになってきた。一般にこのような大きな利得制御を行うためには、制御信号に対して指数関数的に信号レベルを調節することが求められる。

【0009】

図14に従来の可変利得回路を示す。トランジスタQ1, Q2は差動ペアを構成し、共通エミッタ端子にIF信号 (I_{sig}) が入力される。出力電流 I_a はトランジスタQ1のコレクタ端子から取り出す。入力電流 I_{sig} から出力電流 I_a を生成するために、利得制御信号 V_{z1} をQ1, Q2のベース端子間に入力する。

【0010】

Q2のコレクタに流れる電流 $I_{sig} - I_a$ は不要電流とされ、電源等に流れるように設計される。この場合、 I_{sig} から I_a への伝達関数は以下の式(1)で表される。

$$I_a / I_{sig} = 1 / [1 + \exp(V_{z1} / V_T)] \quad (1)$$

ここで V_T は熱電圧であり、常温で約26mVである。

【0011】

式(1)から $1 \ll \exp(V_{z1} / V_T)$ の条件では、 $I_a / I_{sig} = 1 / \exp(V_{z1} / V_T)$ と近似でき、利得制御信号 V_{z1} を大きくすると、利得は指数関数的に減少することがわかる。しかしながら、上記仮定が成り立たない場合、例えば V_{z1} が0V以下では制御信号 V_{z1} と利得の関係は指数関数の関係ではなくなる。つまり、利得制御信号 V_{z1} に対して $1 \ll \exp(V_{z1} / V_T)$ の仮定が成り立たなくなると、デシベル表示をした利得と V_{z1} の関係

が線形ではなくなってしまう。このため、トランジスタQ10およびQ11、電流源I_o、電圧源V_{BB}、利得補正を行うための利得制御電流I_oexp(-bV_x)からなる利得制御信号補正回路(CSC1)を用いて、利得制御信号V_xに対して、利得が指数関数的に減少するようにした利得可変回路が提案されている(特願平10-370290参照)。この補正回路を用いる場合、利得制御信号V_xと利得I_a/I_{sig}は以下の式で表される。

$$I_a/I_{sig} = \exp(-bV_x) \quad (2)$$

ここで、bは定数である。

【0012】

図15に本回路のブロック構成と利得特性(図中GAINで表す)を示す。ここで、外部から与えられる利得制御信号V_Cは利得制御信号V_xと等しいものである。

【0013】

本回路構成を用いることで、利得制御信号V_xと利得(I_a/I_{sig})は指数関数の関係になる。しかしながら、この関係が成立するのは、バイポーラトランジスタを用いた場合に限られる。

【0014】

つまり、電界効果トランジスタ(FET)を用いて、本回路を構成した場合、利得制御信号V_xと利得の関係が指数関数ではなくなる。以下にこの問題を詳細に記す。

【0015】

また、以下に示すFETは断わりのない限り、N型(Nチャネル)FETを示すものである。

【0016】

図16にFETをMOS FETと仮定した場合の、従来構成の利得可変回路を示す。ここで、I_{D1}は利得制御信号V_xを用いて、以下の式で表されものとする。

$$I_{D1} = I_o \exp(-bV_x) \quad (3)$$

ここで、I_oは定電流源の電流値、bは定数を表す。また、本図において、

$ID2 = I_o - ID1$ の関係が成り立つものである。

本回路において、可変利得段VGA1の電流利得GMOS ($= I_{out1} / I_{sig1}$) は以下の式で表される。

$$GMOS = gm_{11} / (gm_{11} + gm_{10}) \quad (4)$$

ここで gm_{10} , gm_{11} はそれぞれトランジスタM10, M11の相互コンダクタンスを表す。M10, M11は2乗特性を示すと仮定すると、それぞれの電流 $ID10$, $ID11$ とゲート電圧 $VGS10$, $VGS11$ の関係は以下の式で表される。

$$ID10 = \beta (VGS10 - V_{TH})^2 \quad (5)$$

$$ID11 = \beta (VGS11 - V_{TH})^2 \quad (6)$$

ここで、 β は寸法および物理定数で決まる定数を表し、 V_{TH} はしきい値電圧を表す。

式(4), (5), (6) からGMOSは以下の式となる。

【数3】

$$GMOS = \frac{2 \sqrt{(\beta ID1)}}{2 [\sqrt{(\beta ID1)} + \sqrt{(\beta ID2)}]} \quad (7)$$

$$= \sqrt{\left[\frac{ID1}{I_o + 2\sqrt{(ID1 ID2)}} \right]} \quad (8)$$

$$= \sqrt{\left[\frac{I_o \exp(-bV_x)}{I_o + 2\sqrt{(ID1 ID2)}} \right]} \quad (9)$$

式(9) から $ID1 \gg ID2$ または $ID1 \ll ID2$ の場合、分母は I_o と近似できるので、式(10)のように変形できる。

$$GMOS = \sqrt{\exp(-bV_x)} \quad (10)$$

式(10) と式(2) から、MOSを用いた場合の利得(dB)と利得制御信号

V_xの関係は、バイポーラを用いた場合に比べて、傾きが半分になる直線に漸近することがわかる。

【0017】

また、 $ID1 = ID2 = I_o / 2$ の時、式(9)は分母は $2I_o$ となるため、MOSを用いた場合の利得GMOS (dB)と利得制御信号V_xによる漸近線に対して、利得が3dB低い値をとることがわかる。

【0018】

一方、 $ID1 \ll ID2$ の場合、M1、M11の電流特性は2乗特性から外れて指数関数特性をもつようになる。この特性は弱反転領域の特性であり、以下の式で近似される。

$$ID1 = A \exp(c(V_{GS} - V_{TH1})) \quad (11)$$

ここでA, c, V_{TH1}は定数であり、V_{GS}はトランジスタM1のゲートソース間電圧である。このときの利得GMOSは以下の式で近似できる。

【数4】

$$GMOS = \frac{c ID1}{c ID1 + 2\sqrt{\beta ID2}} \quad (12)$$

$$\sim \frac{c I_o \exp(-bV_x)}{2\sqrt{\beta I_o}} \quad (13)$$

ここで、 $c ID1 \ll 2\sqrt{\beta ID2}$ および $ID2 \sim I_o$ とした。

この式から $ID1 \ll ID2$ の場合、バイポーラトランジスタによる特性と同じ傾きをもつようになる。

【0019】

上記に示したMOSの2つの動作領域を考慮に入れた利得特性は図17のようになる。

【0020】

図17からわかるように、MOSを用いた場合、利得制御信号V_x (= V_C)

に対して利得（dB表示）が直線にならない。

【0021】

無線機の利得を制御する場合、デシベル表示した利得と利得制御信号 V_x の関係が直線近似できることが、制御の容易さから求められる。しかしながら、MOSによる本回路の特性は、上記に示したように利得（dB）と利得制御信号 V_x の関係は最大利得時まで直線近似できない。線形近似できる範囲で利得を制御することを考えると、最大利得時を使用できないので、利得制御範囲の低下する欠点が生ずる。これに伴い、利得可変段を増加させることが必要となるため、消費電流増大を招くことになる。さらに、一般に増幅器は最大利得時が最も低雑音特性を有するので、雑音特性も劣化してしまう。

【0022】

【発明が解決しようとする課題】

上記欠点を解決するため、利得制御信号に対して指数関数的に利得を調節できるように、利得補正回路を設ける。これにより、利得制御範囲の拡大、低雑音性向上、消費電流低下を図る。

【0023】

【課題を解決するための手段】

上記課題を解決するため、以下の回路構成をとる。

【0024】

利得制御信号 V_C は、0Vから所定の電圧 V_{C1} までの利得を $a+b$ とし、 V_{C1} 以上の利得を a とする利得制御信号変換回路 $CSC3$ を介して利得制御信号 V_x に変換され、さらに利得制御信号 V_x は利得制御電流 $I_{D1} = \exp(-bV_x)$ に変換される。

ただし、 b は正の定数とする。

【0025】

差動ペアトランジスタの共通ソース端子に直流電流 I_o を入力し、差動ペアトランジスタの一方はドレイン端子とゲート端子を接続し、そのドレイン端子に利得制御電流 I_{D1} を入力し、もう一方のトランジスタのゲート端子は適当な直流レベルに固定し、ドレイン端子は電源端子に接続し、上記差動ペアトランジスタ

のゲート端子間電圧である利得制御信号 V_{z1} を出力とする利得制御信号変換回路 $CSC1$ と備える。

【0026】

共通ソース端子に所望信号電流を入力した差動ペアトランジスタからなる可変利得段 1 ($VGA1$) を用意し、可変利得段 1 のゲート間電圧は上記利得制御信号 V_{z1} が与えられる。 $VGA1$ の出力電流は後段の利得制御回路 2 ($VGA2$) の入力電流とされ、 $VGA2$ は $VGA1$ と同様な回路で構成されることを特徴とする。

【0027】

上記利得制御信号 V_{z1} を入力とし、出力電流 I_{z1} が $qI_o - mV_{z1}^2$ となる 2 乗回路と上記 $CSC1$ 回路と同様な回路 $CSC11$ からなる利得制御信号変換回路 $CSC2$ を備え、 $CSC2$ は、上記 $CSC11$ の利得制御電流 I_A を上記出力電流 I_{z1} と所定の直流電流の和とすることを特徴とし、出力電圧は利得制御信号 V_{z2} とされる。

【0028】

上記 $VGA2$ のゲート間電圧には $CSC2$ の出力である利得制御信号 V_{z2} が与えられる。

【0029】

上記により構成される利得可変回路により、利得制御信号 VC に対し、 dB 表示された利得が直線的に変化することができる。

【0030】

【発明の実施の形態】

以下、説明図に基づいて実施例を述べる。図 1-(a) の実線はバイポーラトランジスタを用いた利得補正回路付き利得可変回路を、 FET を用いて構成した回路 (図 16 参照) の利得-利得制御信号特性を示す。

【0031】

本説明においては、 FET は最も一般的に使用される $MOS FET$ として説明する。(従来技術) で述べたように、 $VC = VC2$ のとき、つまり、 $ID1 = ID2$ または $V_{z1} = 0V$ (図 16 参照) のとき、利得-利得制御信号特性を

直線近似した特性（破線）から、利得が 3 dB 下がる。さらに、 $V_C > V_{C1}$ のとき、つまり MOSFET が弱反転領域に入ったとき、利得－利得制御信号特性の傾き（一点鎖線の傾き）は $V_C < V_{C1}$ の時の傾きに比べ約 2 倍になる。

【0032】

本発明は、この特性に新たな利得補正機能を付け加えることにより、 $V_C \geq 0$ の範囲で利得（dB 表示）－利得制御信号特性が直線特性を示すようにすることである。以下、この特性を LOG-LINEAR 特性（または linear-in-dB 特性）と呼ぶことにする。LOG-LINEAR 特性を得る目的は、可変利得回路の低消費電力化、低雑音性を実現することである。

【0033】

LOG-LINEAR 特性を得るため、本発明は以下に示す二つの利得補正を行う。一つは、図 1-(b) に示すように、 $I_{D1} = I_{D2}$ 近傍における利得補正を行うものである。二つ目は MOSFET の動作領域が強反転から弱反転に遷移よる利得偏差を補正するものである。

【0034】

これを図 1-(c) のグラフで示す。ただし、J-FET の様な反転層のない FET においては、二つ目の補正は不要である。図 1-(b), (c) の補正を行なうことにより、FET を用いても、LOG-LINEAR 特性が得られる。これを図 1-(d) に示す。

【0035】

図 2 は図 1 で示した利得補正方法を実現する基本構成図である。 V_{IN} 、 V_{OUT} 、 V_C は、それぞれ利得制御される所望信号（被制御信号）の入力端子、所望信号の出力端子、利得制御信号入力端子を表す。利得制御信号 V_C は利得制御信号変換回路 3 (CSC3) を介して、 V_x に変換される。その際、図 1-(c) に示すように、 V_C が V_{C1} までは利得 $a + b$ で変換され、 V_{C2} 以上は利得 a で変換されるものとする。

【0036】

利得制御信号 V_x は利得制御信号変換回路 CSC1 および CSC2 に入力され、それぞれ、利得制御信号 V_{z1} および V_{z2} に変換される。利得制御信号 V_z

1 および V_{z2} は、それぞれ、可変利得段 $VGA1$ 、 $VGA2$ の利得制御信号入力端子に入力される。所望信号 V_{IN} は $VGA1$ に入力され、利得制御信号 V_{z1} に応じて利得制御される。 $VGA1$ で利得制御された所望信号は $VGA2$ に入力され、利得制御信号 V_{z2} に応じて利得制御され、出力端子 $VOUT$ に出力される。 $CSC1$ 、 $CSC2$ の入出力特性に関しては、回路構成を含めて、後で述べる。

【0037】

図3は図2に示した利得制御方法を実現する基本構成図に変更を加えた第2の基本構成図である。図1と異なる点は $CSC2$ が $CSC2N$ とされ、 $CSC2N$ の入力信号は $CSC1$ の出力信号である利得制御信号 V_{z1} とされる点である。

【0038】

図2、図3における $CSC2-VGA2$ 、 $CSC1-CSC2N-VGA2$ の回路は $ID1 = ID2$ の時に生じる利得偏差を補正する回路である。この回路の利得特性が以下の利得特性を有すれば、利得補正が可能であることは、式(9)を参照すれば明らかである。

【数5】

$$GCMP = \sqrt{\frac{I_o + 2\sqrt{ID1 ID2}}{I_o}} \quad (14)$$

また、式(14)の利得特性が正確に得られなくとも、式(14)の近似解をもつ特性をもてば、利得補正は可能である。本提案は、図2、図3の構成をとることで、上記した所望の利得補正を行なうことが目的の一つである。

【0039】

これまで説明した可変利得段1は1段構成を考慮したものであるが、 n 段縦列接続した場合について述べる。可変利得段1($VGA1$)を n 段とし、各利得段に $CSC1$ からの利得制御信号 V_{z1} を与えると仮定すると、 $VGA1$ の利得 G_{MOSn} は式(9)の n 倍となるので、 A を比例定数とすると、以下の式で表される。

【数 6】

$$GMOS_n = A \left[\frac{I_o \exp(-bV_x)}{I_o + 2\sqrt{ID_1 ID_2}} \right]^{(n/2)} \quad (15)$$

ここで ID_2 は $I_o - ID_1$ を表す。

【0040】

この場合、可変利得段 2 (VGA_2) と利得制御信号変換回路 2 (CSC_2 , $CSC_1 - CSC_{2N}$)

による利得は以下の式で表されれば、利得補正が可能である。

【数 7】

$$GCMP = B \left[\frac{I_o + 2\sqrt{ID_1 ID_2}}{I_o} \right]^{(n/2)} \quad (16)$$

ここで、 B は比例定数を表す。

【0041】

利得補正のため、可変利得段 2 の段数は複数段用いても式 (16) を満たす特性を有するのであれば、特に問題はない。

【0042】

(より具体的な実施の態様)

次に、図 2、図 3 に示した CSC_1 の具体的な回路構成を図 4 に示す。以下に示すトランジスタは断わりのない限り、N 型 FET (Nch FET) を示すものである。

【0043】

トランジスタ M_1 はドレイン端子とゲート端子が接続され、ドレイン端子から ID_1 が入力される。

【0044】

トランジスタ M_2 はドレイン端子が電源電圧 VDD に接続され、ソース端子が

トランジスタM1のソース端子と接続されるとともに、電流源I_oを介して接地される。トランジスタM2のゲート端子は所定の電源V_{BB}が接続される。トランジスタM2のドレイン端子に流れる電流I_{D2}は電流源I_oの電流I_oとI_{D1}の差電流が流れる。図では、トランジスタM2のドレイン端子は電源に接続されているが、I_{D2}=I_o-I_{D1}となるように電流が流れるものであれば、ドレイン端子の接続に変更があっても問題はない。

【0045】

本回路において、I_{D1}は以下の電流が流れるものとする。

$$I_{D1} = I_o \exp(-bV_x) \quad (17)$$

ここで、bは正の定数、V_xは利得制御信号変換回路CSC3から出力される利得制御信号である。利得制御信号V_xから式(17)で示されるI_{D1}に変換するには、バイポーラトランジスタの指数関数特性を利用した方法を用いる。これに関しては特願平10-370290で用いた手法で実現できるため、ここでは詳細を記さない。また、特願平10-370290とは異なる手法を用いて指数関数特性を得ることができれば、その手法を用いても特に問題はない。なお、図4において、利得制御信号V_xから電流源I_{D1}に変換される回路ブロックは電流源I_{D1}に含まれるとし、指数関数特性変換部の回路は特に記さない。

【0046】

上記回路により構成された利得制御信号変換回路CSC1の伝達関数は、M1およびM2が2乗特性を有すると仮定すると、以下の式で表される。

【数8】

$$\begin{aligned} V_{z1} &= \sqrt{I_{D2}/\beta} - \sqrt{I_{D1}/\beta} \\ &= \frac{\sqrt{I_o[1-\exp(-bV_x)]} - \sqrt{I_o \exp(-bV_x)}}{\sqrt{\beta}} \end{aligned} \quad (18)$$

ただし、I_{D1}およびI_{D2}は以下の式で表される。

$$I_{D1} = \beta (V_{GS1} - V_{TH})^2 \quad (19)$$

$$I_{D2} = \beta (V_{GS2} - V_{TH})^2 \quad (20)$$

次に、図2、図3で示した利得可変回路VGA1、VGA2について図5を参照して説明する。

【0047】

トランジスタM10のドレイン端子は電源VDDに接続され、ソース端子はトランジスタM11のソース端子を接続されるとともに、利得制御される所望信号が含まれる電流源I_{sig}を介して接地される。トランジスタM11のドレイン端子は出力電流I_{out}が流れる。

【0048】

M10とM11のゲート端子間には利得制御信号変換回路CSC1の出力信号である利得制御信号V_{z1}が印加される。

【0049】

また、M10のゲート端子は所定のVBBが与えられるが、CSC1ですでに与えられている場合は不要である。上記説明はVGA1の説明であるが、VGA2も同様である。ただし、VGA2の場合は、CSC2またはCSC2Nの出力信号である利得制御信号V_{z2}がM10とM11のゲート端子間に印加されることになる。

【0050】

次に、利得制御変換回路CSC2について図6を参照して説明する。CSC2は、図4で説明したCSC1回路と $I_{z1} = f(V_{z1})$ なる電圧電流変換回路ともう一つのCSC1回路が縦列接続された回路である。ただし、後者のCSC1回路（以下、第2のCSC1回路と呼ぶ）の入力電流は、上記電圧電流変換回路の出力電流I_{z1}と所定のバイアス電流I_{BB}の和電流が入力されるものとする。

【0051】

$I_{z1} = f(V_{z1})$ が、 $V_{z1} = 0V$ （つまり $I_{D1} = I_{D2}$ ）の時、I_{z1}が最大になり、V_{z1}の絶対値が大きくなるに従い、I_{z1}が小さくなる関数をもてば、CSC2およびVGA2により利得補正が可能であることを以下に示

す。 $ID1 = ID2$ のとき、 $CSC1$ および $VGA1$ により、利得が 3 dB 小さくなる。この時、 $CSC2$ における $Vz1$ は 0 V となり、 $Iz1$ は最大電流 $Iz1, \text{max}$ となる。第2の $CSC1$ 回路の入力信号はこの時最大値 $Iz1, \text{max} + IBB(A)$ となるので、 $CSC2$ の出力電圧である利得制御信号 $Vz2$ は最小になる。したがって、図5に示した利得可変回路の利得は最大値をとる。一方、 $Vz1$ の絶対値が大きくなると、 $Iz1$ が小さくなる。この場合は、第2の $CSC1$ 回路の入力電流が小さくなるため、 $CSC2$ の出力電圧 $Vz2$ は大きくなる。よって、図5に示した利得可変回路の利得が下がる。

【0052】

$CSC2$ および $VGA2$ の動作をまとめると、 $Vz1 = 0\text{ V}$ で利得が最大になり、 $Vz1$ の絶対値が大きくなるにつれ、利得が減少することになる。これから、 $CSC1$ および $VGA1$ による利得偏差を $CSC2$ および $VGA2$ により補正することが可能となる。

【0053】

次に、上記に示した $Iz1 = f(Vz1)$ の回路の実現方法の一例として、以下に示す2乗特性をもつ回路を用いた場合を図7を参照して説明する。

$$Iz1 = qIo - mVz1^2 \quad (21)$$

ここで、 q 、 m は定数である。

【0054】

図7では $VGA1$ が2段縦列接続された後、 $CSC2$ および $VGA2$ による利得補正回路に接続されるものを示している。この場合、 $VGA1$ が2段縦列接続されているので、利得 $GMOS2$ は式(9)の2乗となり、以下の式で表される。ただし、各可変利得段間の電流利得は1と仮定する。

【数9】

$$GMOS2 = \frac{Io \exp(-bVx)}{Io + 2\sqrt{ID1ID2}} \quad (22)$$

式(22)から、 $ID1 = ID2$ のとき、利得 $GMOS2$ は6dB減少することになる。以下、式(21)で与えられた2乗回路および $VGA2$ を用いて、利得補正が行えることを示す。また、説明を簡単にするため、各トランジスタの寸法比は1とし、 $IBB = 1/4 I_o$ とする。

【0055】

上記回路構成において、第2の $CSC1$ 回路の入力電流 IA は以下の式で表される。

$$\begin{aligned} IA &= 1/4 I_o + q I_o - m V_{z1}^2 \\ &= (1/4 + q) I_o - m V_{z1}^2 \\ &= p I_o - m V_{z1}^2 \end{aligned} \quad (23)$$

ここで、 $p = 1/4 + q$ とした。2乗回路に入力される利得制御信号 V_{z1} は以下の式で表される。

$$V_{z1} = \sqrt{ID2/\beta} - \sqrt{ID1/\beta} \quad (24)$$

式(24)を式(23)に代入すると、 IA は以下の式で表される。

$$IA = (p - m/\beta) I_o + (2m/\beta) \sqrt{ID1 ID2} \quad (25)$$

ただし、 $ID2 = I_o - ID1$ である。

【0056】

ここで、 $ID1 = 0A$ のとき、2乗回路の出力電流 I_{z1} を0Aとするように設計すると、 IA および IB は以下の式で表される。

$$IA = 1/4 I_o + (2m/\beta) \sqrt{ID1 ID2} \quad (26)$$

$$IB = 3/4 I_o - (2m/\beta) \sqrt{ID1 ID2} \quad (27)$$

この時、 $VGA2$ の利得 $GCMP1$ は以下のように表される。

【数 10】

$$\begin{aligned}
 \text{GCMP1} &= \frac{\sqrt{IA}}{\sqrt{IA} + \sqrt{IB}} \\
 &= \sqrt{\frac{IA}{I_0 + 2\sqrt{IAIB}}} \quad (28)
 \end{aligned}$$

式 (26), 式 (27) を式 (28) に代入すると、VGA2 の利得 GCMP1 は ID1 の関数で表される。

【0057】

理想の利得補正回路の利得 GCMP および本回路の利得補正回路の利得 GCMP1 の誤差を比べるため、それぞれの利得を最大値で規格化した GCMP/GCMP, MAX と GCMP1/GCMP1, MAX を比べる。比較表を表 1 に示す。ただし、 $p = 0.9$ とした。

【表 1】

ID1	GCMP/GCMP, MAX	GCMP1/GCMP1, MAX	diff
0	-6 dB	-6.1 dB	-0.1 dB
0.05 I ₀	-2.9 dB	-3.2 dB	-0.3 dB
0.1 I ₀	-1.9 dB	-2.4 dB	-0.5 dB
0.2 I ₀	-0.9 dB	-1.2 dB	-0.3 dB
0.3 I ₀	-0.4 dB	-0.6 dB	-0.2 dB
0.4 I ₀	-0.1 dB	-0.1 dB	0 dB
0.5 I ₀	0 dB	0 dB	0 dB
0.6 I ₀	-0.1 dB	-0.1 dB	0 dB
0.7 I ₀	-0.4 dB	-0.6 dB	-0.2 dB
0.8 I ₀	-0.9 dB	-1.2 dB	-0.3 dB
0.9 I ₀	-1.9 dB	-2.4 dB	-0.5 dB
0.95 I ₀	-2.9 dB	-3.2 dB	-0.3 dB
I ₀	-6 dB	-6.1 dB	-0.1 dB

表 1 により、式 (21) で示した 2 乗特性をもつ 2 乗回路を $I_{z1} = f(V_{z1})$ に用いることで、利得偏差が 0.5 dB 以下が得られることになる。このことから、本提案の CSC2 と VGA2 により十分利得補正が可能であることが示される。

【0058】

次に、上で用いられた 2 乗回路の一例を図 8 を参照して説明する。トランジスタ M30 のドレイン端子はトランジスタ M33 のドレイン端子と接続されるとともに、負の電流出力端子 I^- とされる。トランジスタ M31 のドレイン端子はトランジスタ M32 のドレイン端子に接続されるとともに正の電流出力端子 I^+ とされる。トランジスタ M30 のゲート端子はトランジスタ M31 のゲート端子に接続され、利得制御信号 V_{z1} の一方が入力される。トランジスタ M32 のゲート端子はトランジスタ M33 のゲート端子に接続されるとともに、利得制御信号 V_{z1} のもう一方が入力される。トランジスタ M30 とトランジスタ M32 のソース端子は共通接続され、電流源 I_o を介して接地される。

【0059】

トランジスタ M31 とトランジスタ M33 のソース端子は共通接続され、電流源 I_o を介して接地される。M30, M31, M32, M33 の寸法比は $1 : K : K : 1$ とする。

出力電流 I_{z1} は I^+ と I^- の差により得られるものとする。

このように構成された回路の出力電流 I_{z1} は以下の式で表される。

【数 11】

$$I_{z1} = 2 \frac{K-1}{K+1} I_o - 4 \frac{K(K-1)\beta}{(K+1)^2} - V_{z1}^2$$

$$; |V_{z1}| \leq \sqrt{(I_o / (K\beta))} \quad (29)$$

$$= - \frac{2K(K-1)\beta}{(K+1)^2} V_{z1}^2 + \frac{2KI_o}{K+1}$$

$$- \frac{4K\beta \sqrt{((K+1)I_o/\beta - KV_{z1}^2)}}{(K+1)^2} |V_{z1}|$$

$$; \sqrt{(I_o / (K\beta))} \leq |V_{z1}| \leq \sqrt{(I_o / \beta)} \quad (30)$$

$$= 0 ; |V_{z1}| \geq \sqrt{(I_o / (\beta))} \quad (31)$$

$|V_{z1}| \leq \sqrt{(I_o / (K\beta))}$ の範囲内では式 (29) に示されるように、2乗特性が得られることがわかる。したがって、本回路による式 (29) と式 (21) を比較して、以下のように設定すれば、CSC2 または CSC2N の回路が実現できる。

【数 12】

$$q = 2 \frac{K-1}{K+1} \quad (32)$$

【数 1 3】

$$M = 4 \frac{K(K-1)\beta}{(K+1)^2} \quad (33)$$

次に、弱反転領域による利得偏差を補正する C S C 3 の回路について図 9 を用いて説明する。C S C 3 は、外部から与えられた利得制御信号 V C が V C 1 までの利得が $a + b$ となり、V C 1 以上においては利得 a となるような変換を行なうものである。その出力 V x は C S C 1 または C S C 2 に与えられるものである。定数 b は M O S F E T の弱反転領域の指数関数特性により決まるが、一般にほぼ a の値をとる。この特性を実現する具体的な回路を図 1 0 に示す。本回路は差動回路を 2 つ並列接続した M 5 1 ~ M 5 5，電流源 I o と抵抗 R 1 からなる回路（回路 A）ともう一つの差動回路を 2 つ並列接続した M 5 6 ~ M 6 2，電流源 I o，抵抗 R 1 からなる回路（回路 B）の出力が共通接続されたものである。

【0 0 6 0】

ただし、M 5 2，M 5 5，M 5 8，M 6 1 は N 型の F E T であり、それ以外の F E T は P 型である。回路 A は、利得制御信号 V C が 0 V のとき、出力端子 I x には電流が出力されず、利得制御信号 V C が高くなるにつれ、出力電流が出力端子 I x から流れるように動作する。回路 B は回路 A と同じように動作するが、V B B 1 1 と M 6 2 により M 6 2 のソース電位の最大値は制限されてしまう。このため、回路 B では V C が所定の電位以上になると、出力電流は固定されてしまう。

【0 0 6 1】

本回路では、利得制御信号 V C が所定の電位以下では回路 A，回路 B の利得が $1/R_1$ となるように設定されているが、利得を異なるように設定する場合は、回路 B の抵抗値 R 1 を回路 A の抵抗値 R 1 と異なるように設定すればよい。また、本回路では出力を電流 I x としているが、この電流を抵抗に流すことで電圧出力が得られ、図 9 で示した利得制御信号 V x に変換できる。

【0062】

上記の説明からわかるように、図9に示された利得a, bは回路A, 回路Bの抵抗R1を所定の値にすることで得られることとなる。

【0063】

これまでの説明においては、所望信号（被制御信号）を単相入力、単相出力としたが、差動入力、差動出力としても同様に利得制御が可能である。図11に可変利得段1, 2を差動回路にて構成した回路を示す。また、図12に可変利得段1, 2および利得制御電流変換回路1, 2を含めた可変利得回路を差動構成にして実現する具体例を示す。

【0064】

【発明の効果】

本発明を用いることで、外部から与えられる利得制御信号VCに対し、利得が指数関数的に変化するVCの制御電圧範囲を拡大できる。したがって、無線機の利得制御が容易になる。さらに、最大利得時まで指数関数的に利得を変化させるkとができるため、S/N比を高く維持できる。

【図面の簡単な説明】

【図1】

本発明に関わるFETを用いた可変利得回路の特性および補正手法。

【図2】

本発明に関わるFETを用いた可変利得回路の基本構成。

【図3】

(図2)に示した可変利得回路の基本構成を改良した回路構成。

【図4】

(図2)に示した可変利得回路で用いられる制御電流変換回路1(CSC1)の具体的な回路の一例。

【図5】

(図2)に示した可変利得回路で用いられる可変利得段(VGA1, VGA2)の具体的な回路の一例。

【図6】

(図 2) に示した可変利得回路で用いられる制御電流変換回路 2 (C S C 2) の具体的な回路の一例。

【図 7】

(図 3) に示した可変利得回路で用いられる制御電流変換回路 2 (C S C 1, C S C 2 N) と可変利得段 (V G A 1, V G A 2) の具体的な回路の一例。

【図 8】

(図 7) に示した 2 乗回路の具体的な回路の一例。

【図 9】

(図 2) に示した可変利得回路で用いられる制御電流変換回路 3 (C S C 3) の入出力特性。

【図 1 0】

(図 9) に示した制御電流変換回路 3 (C S C 3) の具体的な回路の一例。

【図 1 1】

(図 2) に示した可変利得回路で用いられる可変利得段 (V G A 1, V G A 2) を差動回路により実現した具体的な回路の一例。

【図 1 2】

(図 7) に示した可変利得回路を差動構成で実現する具体的な回路の一例。

【図 1 3】

ヘテロダイン方式をとった無線部を示す従来例。

【図 1 4】

バイポーラを用いた可変利得回路の従来例。

【図 1 5】

バイポーラを用いた可変利得回路のブロック図と利得特性。

【図 1 6】

従来のバイポーラを用いた可変利得回路を M O S F E T に置き換えた場合の回路図。

【図 1 7】

(図 1 6) で示した回路のブロック図と利得利得特性。

【符号の説明】

PA : 電力増幅器

T/R : 送受切り替えスイッチまたはデュプレクサ

90-PS : 90度移相器

UPCON : アップコンバータ

DOWNCON : ダウンコンバータ

FIL_n (n=整数) : フィルタ

LNA : 低雑音増幅器

BPF : バンドパスフィルタ

LPF : ローパスフィルタ

TX-BB : 送信側のベースバンド信号処理部

RX-BB : 受信側のベースバンド信号処理部

ANT : アンテナ

R_n (n=整数) : 抵抗

C_n (n=整数) : キャパシタ

Q_n (n=整数) : バイポーラトランジスタ

M_n (n=整数) : MOSトランジスタ

ID_n (n=整数, アルファベット) : ドレイン電流

I_n (n=整数, アルファベット) : 電流源または電流

VC : 外部から与えられる利得制御信号

V_x : 回路内部の利得制御信号

V_{z1}, V_{z2} : 回路内部の利得制御信号

VDD : 正電圧源

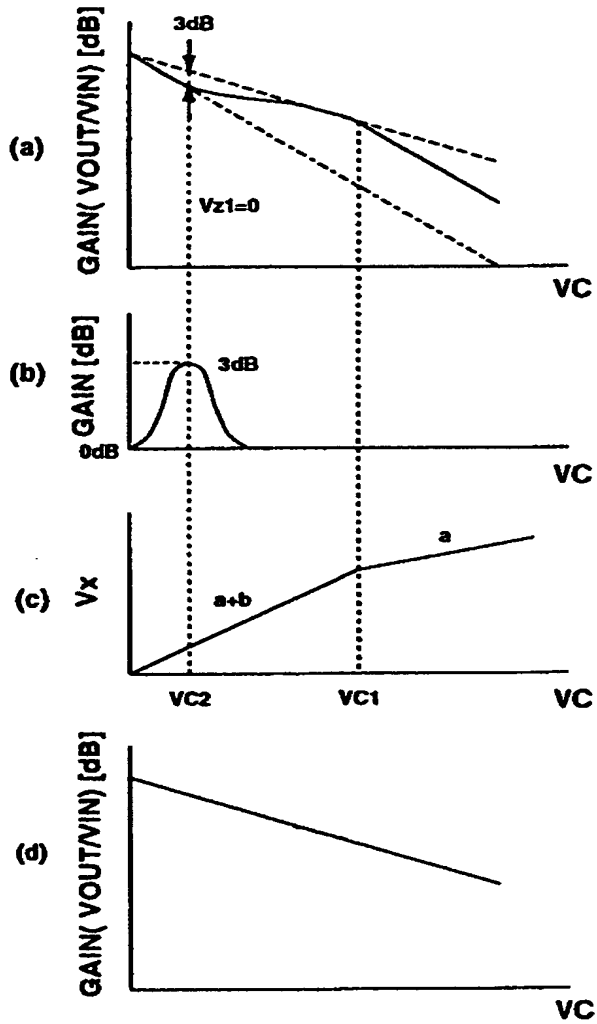
VBB : 電圧源

f_{LO1} : 周波数 f_{LO1} [Hz] または周波数 f_{LO1} [Hz] の局部発振信号

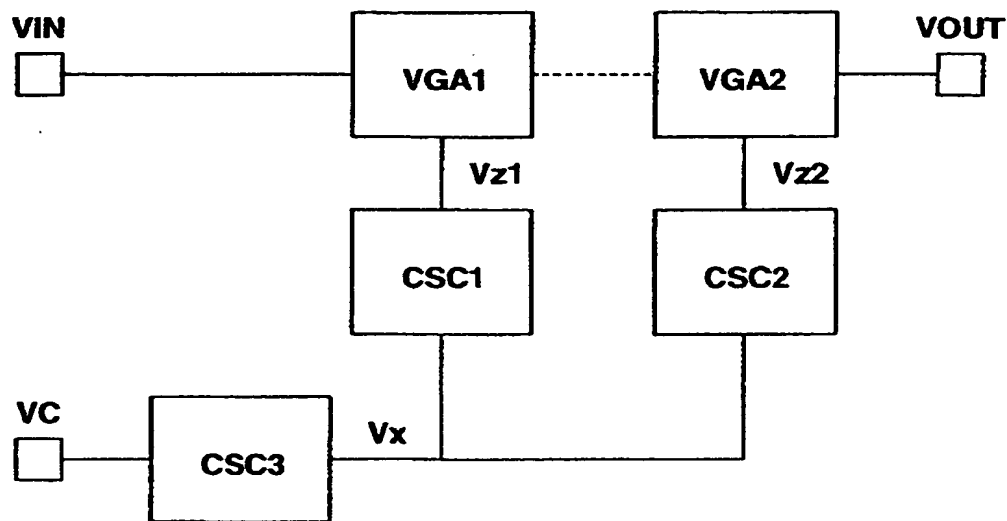
f_{LO2} : 周波数 f_{LO2} [Hz] または周波数 f_{LO2} [Hz] の局部発振信号

【書類名】 図面

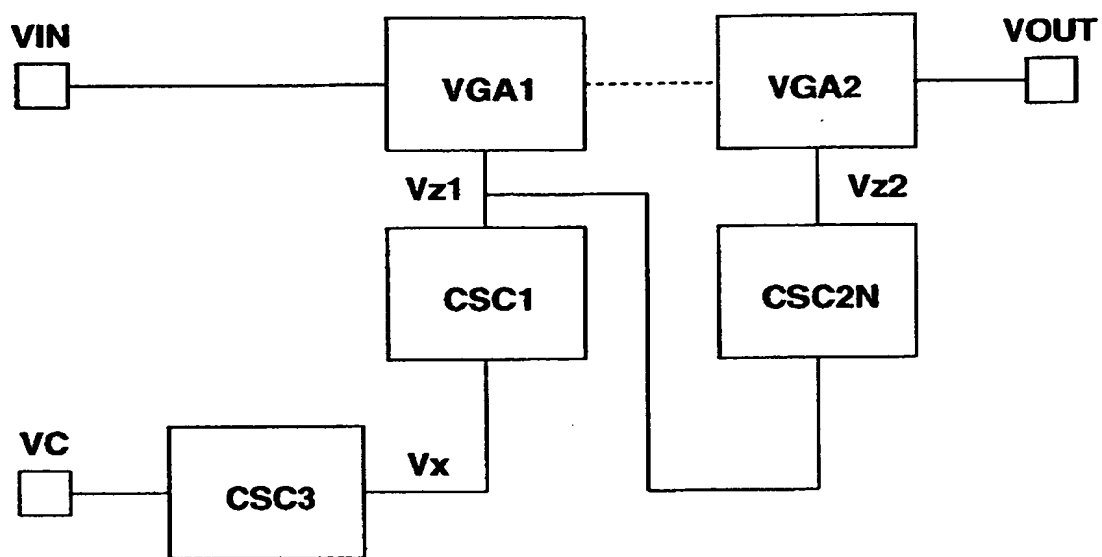
【図 1】



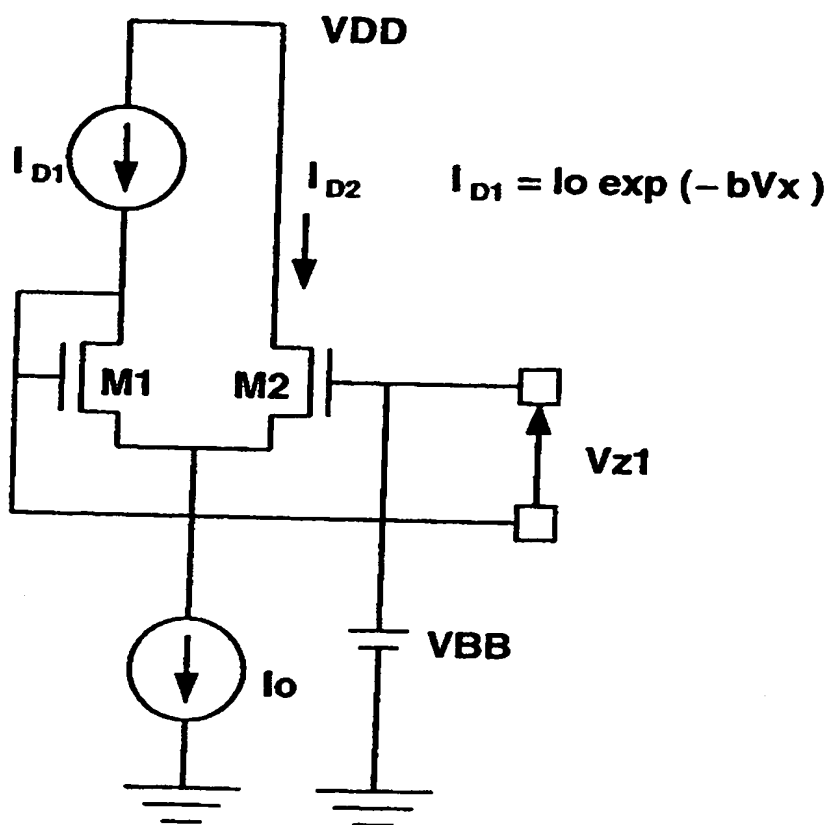
【図 2】



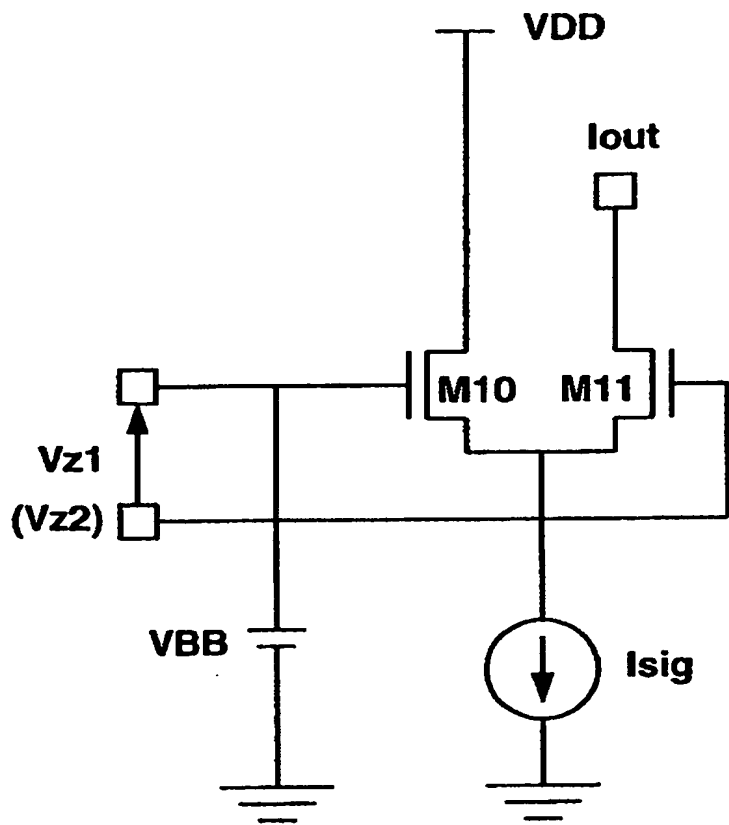
【図 3】



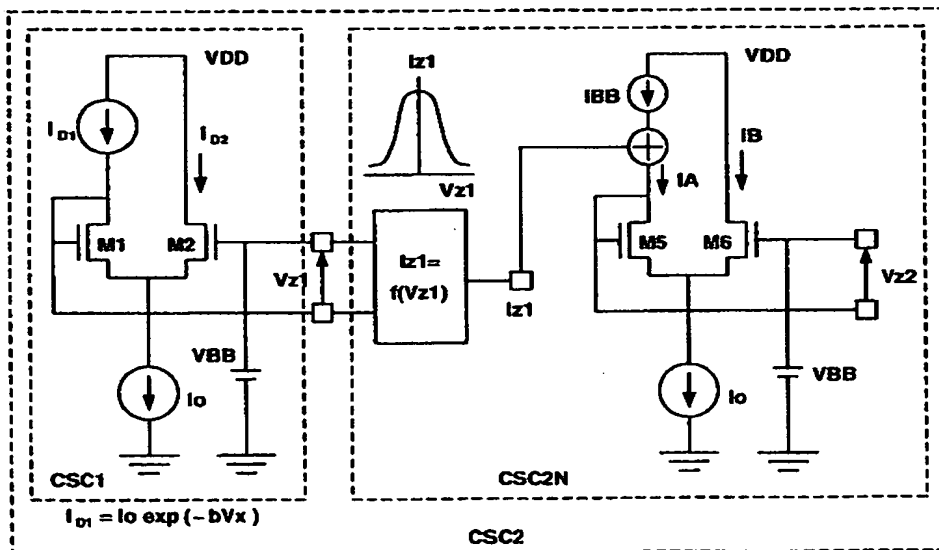
【図 4】



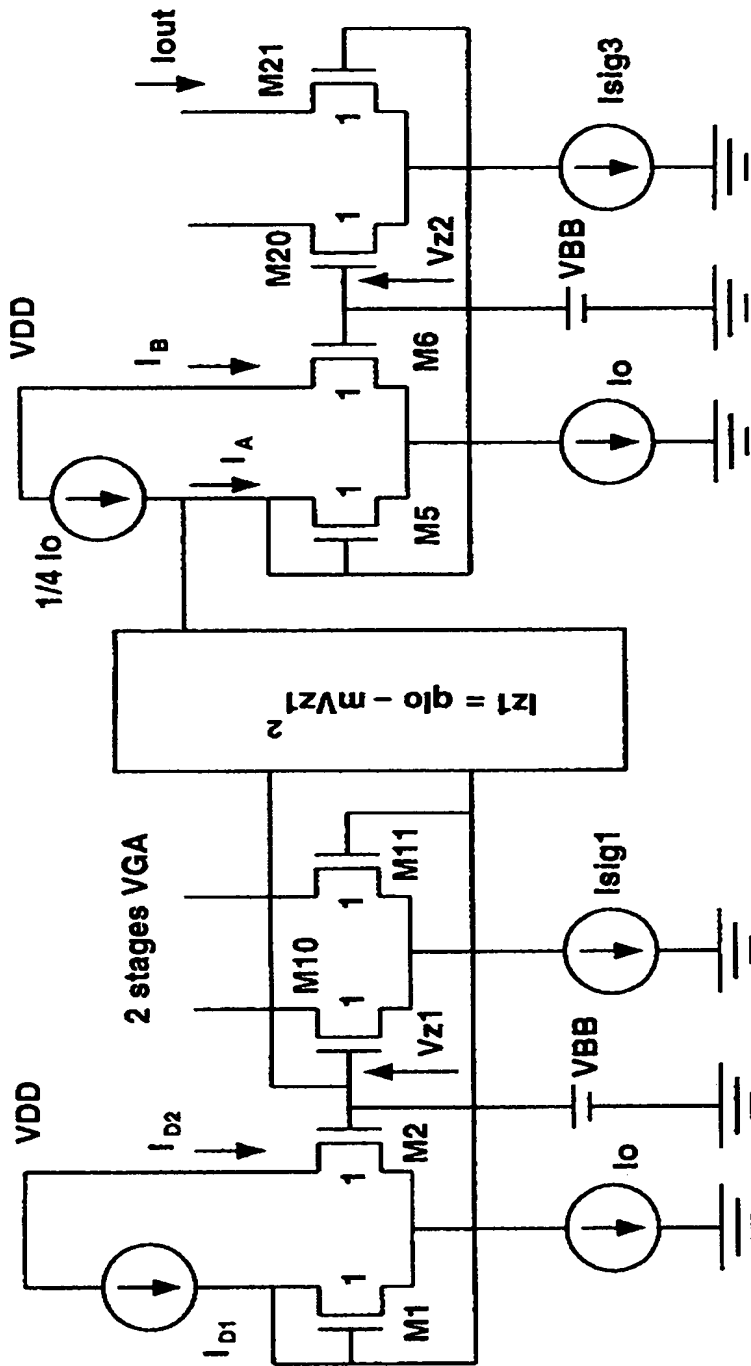
【図 5】



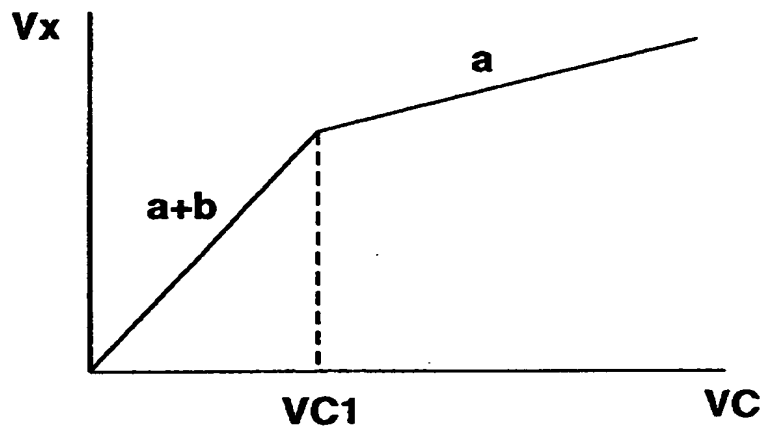
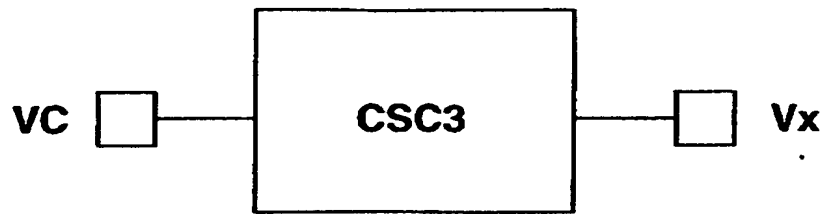
【図 6】



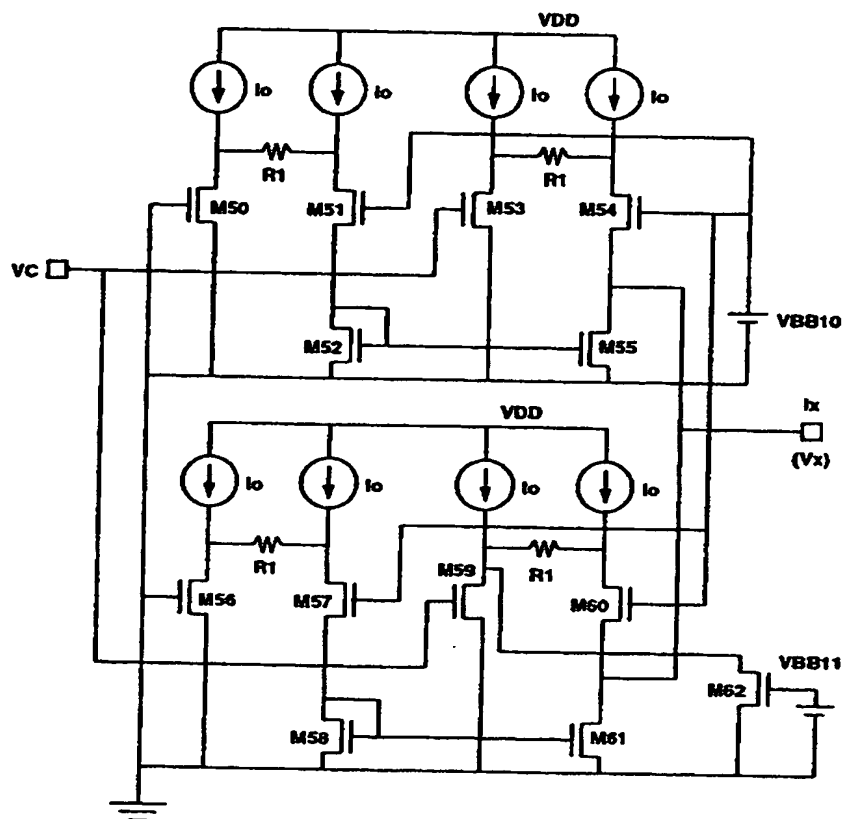
【图 7】



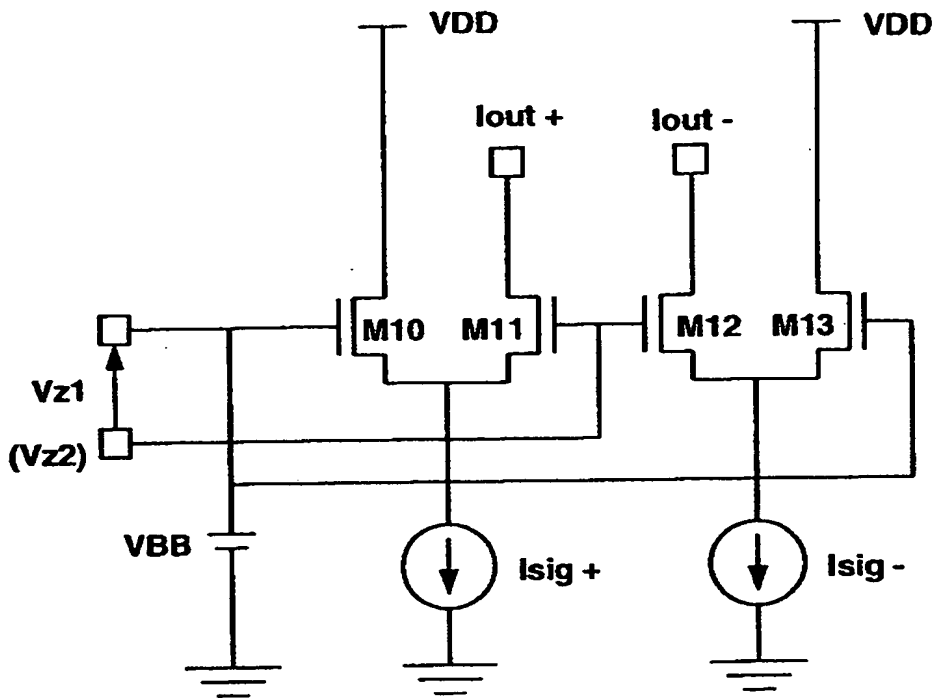
【図 9】



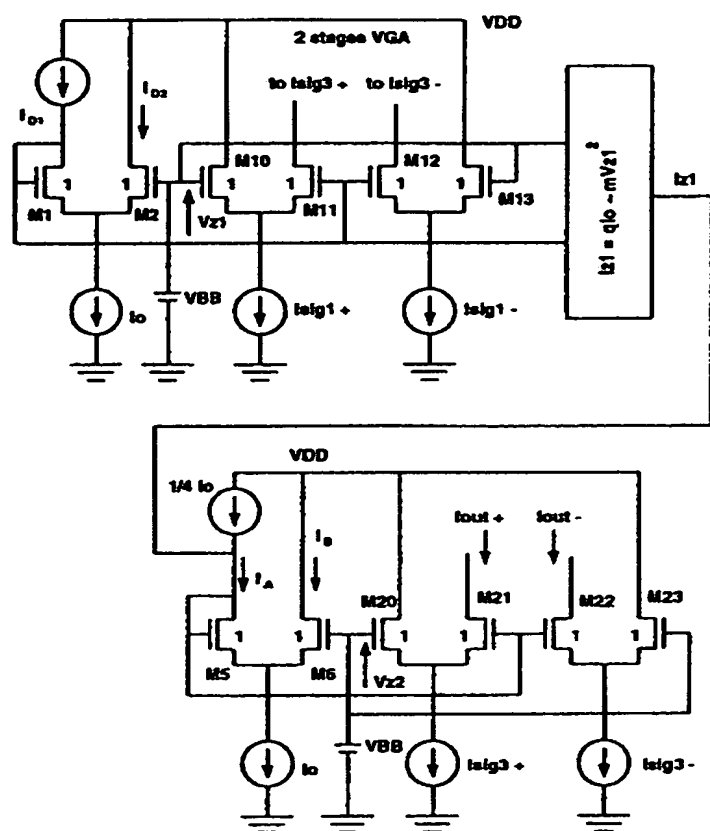
【図 1 0】



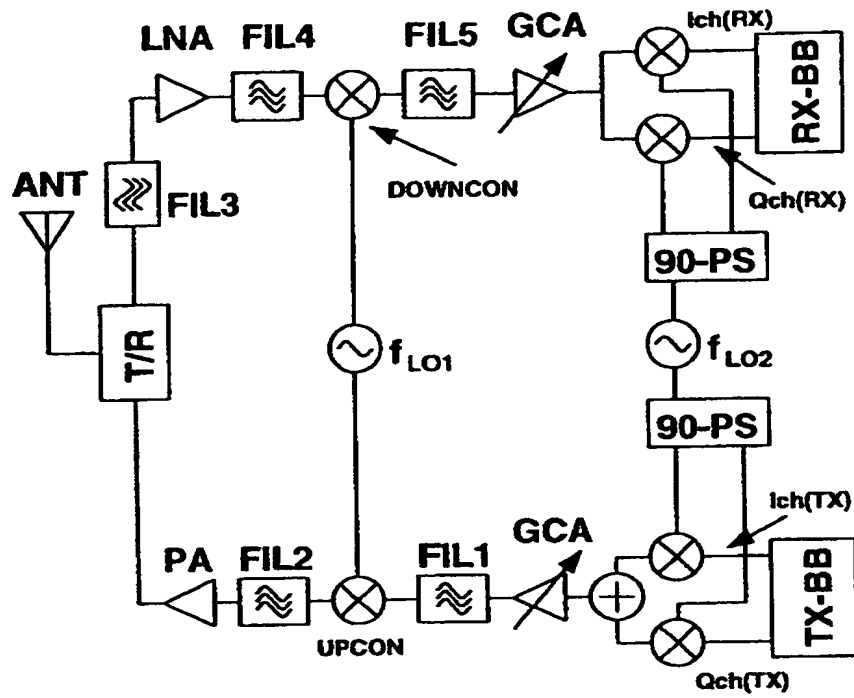
【図 1 1】



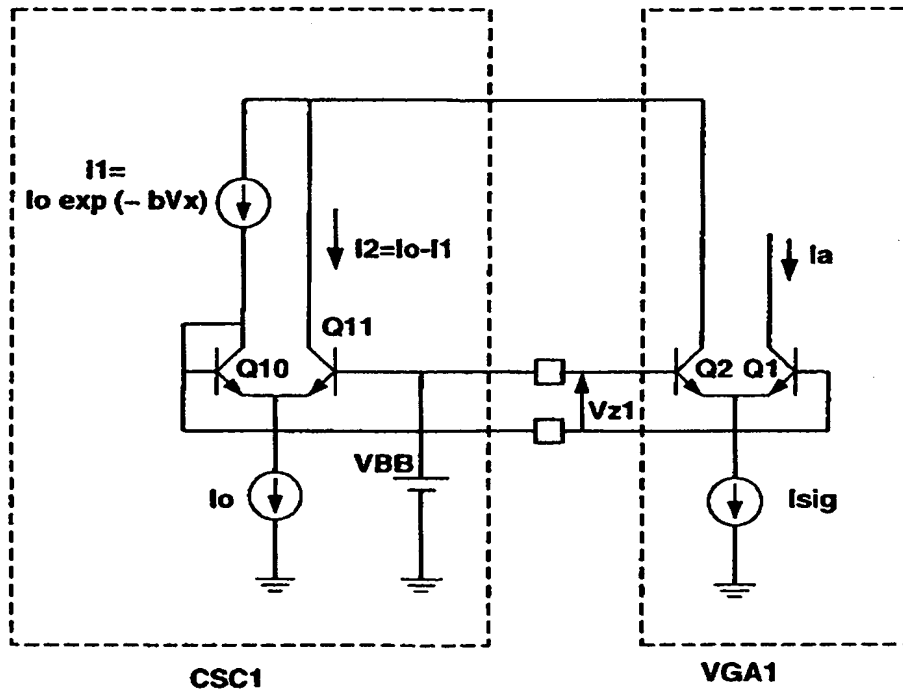
【図 1 2】



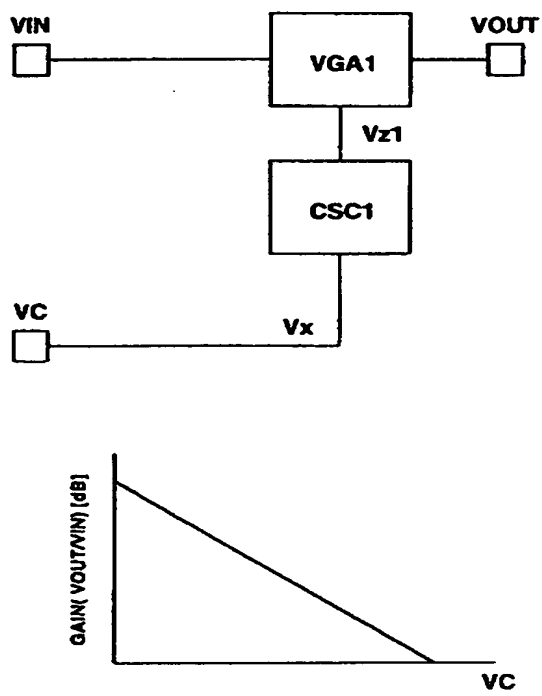
【図 1 3】



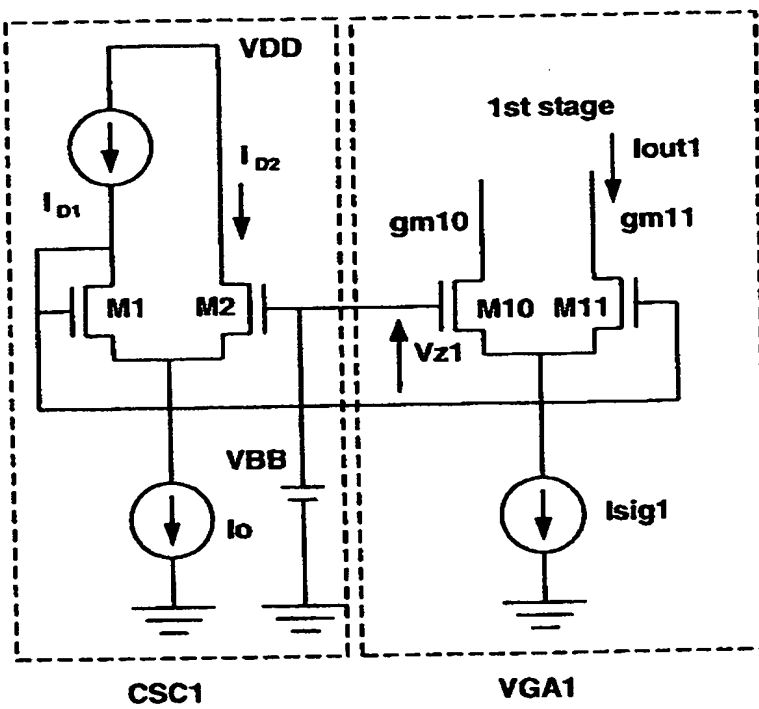
【図 1 4】



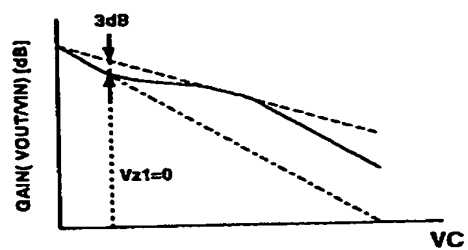
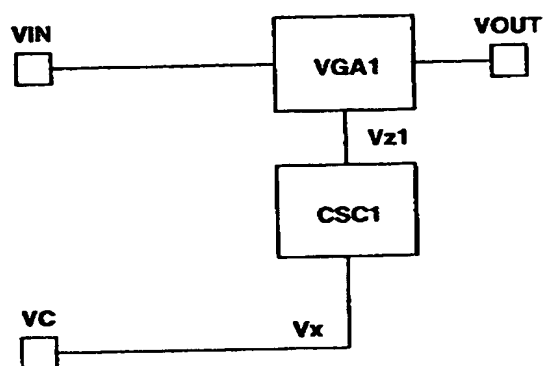
【図 1 5】



【図 1 6】



【図 1 7】



【書類名】 要約書

【要約】

【課題】 F E Tを用いた可変利得回路において、利得制御信号に対して指数関数的に信号レベルを調節できる範囲を広げる。

【解決手段】 可変利得段を多段接続した、LOG-LINEAR特性をもつF E Tを用いた可変利得回路において、2乗特性による利得偏差および弱反転領域での指数特性による利得偏差を補正する利得補正回路を加える。

【選択図】 図 2

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 3 0 7 8]

1. 変更年月日 1 9 9 0 年 8 月 2 2 日

[変更理由] 新規登録

住 所 神奈川県川崎市幸区堀川町 7 2 番地

氏 名 株式会社東芝